

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

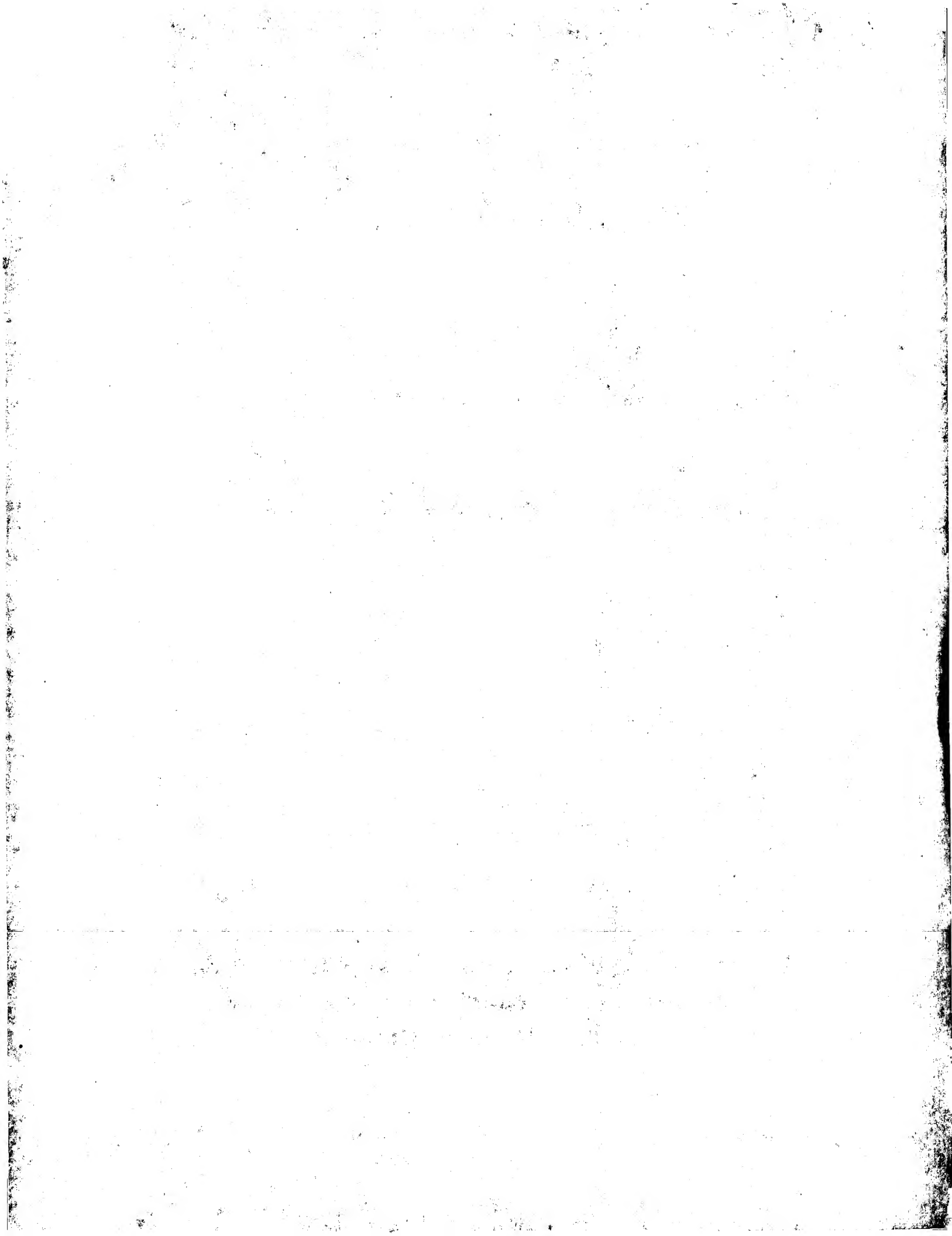
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Method for testing integrated solid state circuits

Patent number: DE19713495
Publication date: 1998-10-01
Inventor: MOHR ULRICH PROF DR (DE); VOS UWE (DE);
BERGER HORST H PROF DR ING (DE)
Applicant: THESYS GMBH (DE)
Classification:
- international: G01R31/28; H01L21/66
- european: G01R31/30C
Application number: DE19971013495 19970317
Priority number(s): DE19971013495 19970317

Abstract of DE19713495

The method involves activating an integrated circuit with a test pulse pattern and detecting the parallel capacitance (CS) at the supply ports after switching off the supply voltage. The voltage reduction after a specified time following switch-off is compared with an externally specified permissible voltage reduction. The comparison can take place in a differential amplifier, with the sign of the difference corresponding to pass or fail. Alternatively, the comparison can be achieved using different charging of the two internal nodes of a flip-flop (FF), which is connected to the supply voltage at a definite comparison time, to give a direct digital indication of the test outcome.

Data supplied from the **esp@cenet** database - Worldwide

TO: DIRECTOR, FBI
FROM: SAC, NEW YORK
SUBJECT: [Illegible]

RE: [Illegible]
[Illegible]

[Illegible paragraph of text]

[Illegible line of text]



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 **Offenlegungsschrift**
10 **DE 197 13 495 A 1**

51 Int. Cl.⁶: 13
G 01 R 31/28
H 01 L 21/66

21 Aktenzeichen: 197 13 495.5
22 Anmeldetag: 17. 3. 97
43 Offenlegungstag: 1. 10. 98

DE 197 13 495 A 1

71 Anmelder:
Thesys GmbH, 99097 Erfurt, DE

72 Erfinder:
Berger, Horst H., Prof. Dr.-Ing., 14163 Berlin, DE;
Voß, Uwe, 10713 Berlin, DE; Mohr, Ulrich, Prof. Dr.,
14532 Kleinmachnow, DE

58 Für die Beurteilung der Patentfähigkeit in Betracht
zu ziehende Druckschriften:

DE 41 17 493 A1
US 53 92 293

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Verfahren und Schaltungsanordnung zum Testen von integrierten Festkörperschaltkreisen

57 Zum vereinfachten Prüfen von integrierten logischen CMOS-Schaltkreisen auf Herstellungsfehler wird ein Verfahren mit zugehöriger Schaltungsanordnung angegeben, das eine Weiterentwicklung des lppc-Tests darstellt. Die Prüfschaltung kann einerseits auf jedem Chip integriert werden, andererseits Bestandteil einer Prüfeinrichtung, wie z. B. einer Nadelkarte oder einer Adaptervorrichtung zur Übertragung optischer und elektrischer Signale sein. Die bei Anlegen der Prüfmuster an die logischen Eingänge nach Abschalten der Versorgungsspannung durch den Fehlstrom verursachte, nach einer spezifizierten Zeit an der am Schaltkreis vorhandenen Kapazität entstandene Spannungsabsenkung wird mittels eines Differenzverstärkers oder eines Flipflops mit einer von außen vorgegebenen spezifizierten zulässigen Absenkung verglichen. Das Ausgangssignal enthält die "gut"- bzw. "schlecht"-Information.

DE 197 13 495 A 1

Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zum vereinfachten Prüfen von integrierten Schaltungen, insbesondere von CMOS-Logik-Schaltkreisen, auf Herstellungsfehler.

Mit steigendem Integrationsgrad der logischen Schaltungen nimmt der Prüfaufwand zu und wird zu einem erheblichen Kostenfaktor. Deshalb versucht man unter Anwendung von Fehlermodellen wie dem Haftfehlermodell, die Zahl der Prüfschritte auf diejenigen zu reduzieren, die insgesamt zur Aufdeckung aller nach dem Modell möglichen Fehler gerade ausreichen. Das Haftfehlermodell berücksichtigt aber nicht die besonders bei Mehrlagenmetallisierung häufigen Fehlerfälle von Kurzschlüssen zwischen Signalleitungen oder Unterbrechungen in diesen. Um deshalb nicht zu wesentlich aufwendigeren Fehlermodellen mit daraus resultierenden wesentlich komplexeren Prüfprogrammen übergehen zu müssen, wurde für die am weitesten verbreiteten CMOS-Schaltungen der sogenannte I_{DDQ} -Test eingeführt (z. B. Hawkins C., Söden J.: Electrical Characteristics and Testing Considerations for Gate Oxid Shorts in CMOS VLSI, Proc. IEEE Intern. Test Conf., 1985, pp 544-554).

Fehlerfreie Standard-CMOS-Schaltkreise nehmen im Ruhezustand nur einen geringen Leckstrom auf, der Strom I_{DD} aus der positiven Versorgungsspannung V_{DD} ist demnach sehr klein. Besteht aber z. B. durch einen zufälligen Fehler in der Produktion zwischen zwei Signalleitungen ein Kurzschluß, und die speisenden Schaltkreise wollen gerade komplementäre Ausgangssignale erzeugen, ergibt sich ein nur durch den Serienwiderstand der betroffenen Transistoren begrenzter erheblicher Stromfluß. Ähnliche Situationen können z. B. auch eintreten, wenn Gattereingänge durch Leitungsunterbrechung potentialmäßig nicht definiert sind. Erfahrungsgemäß genügen relativ wenige Prüfschritte, um alle solche möglichen Fehler durch erhöhte Stromaufnahme sichtbar werden zu lassen. Die Testzeit wird allerdings trotzdem relativ lang, weil nach Anlegen neuer Eingangsprüfmuster das Abklingen aller transienter Vorgänge abgewartet werden muß, bevor der Ruhestrom ermittelt werden kann. Noch gravierender schlägt die Meßzeit selbst zu Buche, weil zur Aufdeckung hochohmiger Defekte u. U. Ströme im Nanoamperebereich gemessen werden müssen. Strommessungen verlangen stets, daß sich eine detektierbare Spannungsdifferenz zwischen den beiden Anschlüssen des Amperemeters ausbildet. Wegen der Eigenkapazität zwischen den Spannungsanschlüssen der integrierten Schaltung und der zusätzlichen Kapazitäten des Testaufbaus, geschieht dies relativ sehr langsam, d. h. im Bereich von Millisekunden, verglichen mit z. B. 10 Nanosekunden Signalverarbeitung im Schaltkreis. Eine nach Keating (Keating M., Meyer D.: A New Approach to Dynamic I_{DD} Testing, Proc. IEEE Intern. Test Conf., 1987, pp 316-321) benannte Methode nutzt die Eigenkapazität der integrierten Schaltung zwischen den Spannungsanschlüssen, indem nach Abklingen der Transienten die Versorgungsspannung über einen Schalter abgetrennt wird, und die Zeit gemessen wird, bis die Eigenkapazität z. B. um 500 mV entladen ist. Diese Zeit ist ein reziprokes Maß für die Stromaufnahme der Schaltung in dem vorher eingepprägten logischen Zustand.

In der Praxis ist die Meßzeitersparnis weiterhin begrenzt durch Kapazitäten der Zuleitung zum Voltmeter des Testsystems. Auch muß die Meßspannung, bei der die Entladezeit ermittelt wird, aufgrund der Störeinflüsse relativ hoch gewählt werden.

Es ist Aufgabe der Erfindung, eine Verfahrensweise und eine Schaltungsanordnung anzugeben, die die angegebenen Nachteile erheblich mindert, die Spannungsmessung um-

geht und statt dessen eine direkte digitale Aussage über das Bestehen bzw. Nichtbestehen des Testes macht. Dieses Verfahren ist auch besonders geeignet für einen berührungsarmen bzw. berührungsfreien Test der Schaltkreise bereits auf dem Wafer.

Die Aufgabe wird erfindungsgemäß dadurch gelöst, daß möglichst nahe am Prüfobjekt die nach Abschalten der Versorgungsspannung durch den Fehlstrom der Schaltung nach einer spezifizierten Zeit an der am Schaltkreis vorhandenen Kapazität C_F entstandene Spannungsabsenkung mit einer von außen vorgegebenen spezifizierten zulässigen Absenkung verglichen wird. Der Vergleich erfolgt entweder über einen Differenzverstärker, wobei den Vorzeichen der Differenz die Aussage "bestanden" bzw. "nicht bestanden" zugeordnet wird, oder – besonders vorteilhaft – über die unterschiedliche Vorladung der beiden internen Knoten eines zunächst noch von der Versorgungsspannung getrennten Flip-Flops, das im definierten Vergleichszeitpunkt wieder an diese angelegt wird und damit in die durch die Knotenspannungsdifferenz vorgegebene Vorzugslage fällt (vergl. z. B. IBM Techn. Disclos. Bulletin Vol. 14, No. 2, p. 636, July 1971). Im letzteren Fall entsteht direkt eine digitale Aussage (1 oder 0) über das Bestehen des Testes.

Eine solche Prüfeinheit kann entweder separat möglichst in der Nähe des Testobjektes (z. B. auf der Nadelkarte) angebracht werden oder wegen ihrer sehr geringen Komplexität auf jedem Chip mit integriert werden, ohne nennenswert die Gesamtausbeute zu beeinträchtigen bzw. die Chipfläche zu erhöhen ("Design for Testability"). Damit werden unnötige, die Prüfzeit verlängernde Kapazitäten vermieden, und Störeinflüsse klein gehalten, so daß bereits sehr geringe durch Fehlströme verursachte Spannungsabfälle ausgewertet werden können, was wiederum die Prüfzeit verkürzt. Lediglich der Schalter in der Stromzuführungsleitung muß relativ niederohmig sein und bedarf entsprechender Fläche. Hierfür kann aber z. B. die Verschnittfläche zwischen den Chips auf dem Wafer genutzt werden. Überdies ist auch ein erheblicher dynamischer Spannungsabfall über den Schalter nicht so störend wie man vermutet, wenn nur genügend Einschwingzeit nach Neuanlagen logischer Eingangssignale erlaubt wird (Laquai B., Richter, H., Werkmann, H.: private Mitteilung). Dieser Verlust an Testgeschwindigkeit ist i. d. R. viel geringer als der Gewinn durch die kompakte Anordnung aller relevanten Teile auf dem Chip.

Die Erfindung soll beispielhaft an zwei Schaltungsausführungen in Fig. 1 und Fig. 2 erläutert werden.

Es zeigt:

Fig. 1 den wesentlichen Teil einer erfindungsgemäßen Schaltungsanordnung für eine Ausführung in CMOS-Technologie, mit deren Umsetzung das Testverfahren durchgeführt werden kann;

Fig. 2 eine im wesentlichen der in Fig. 1 gezeigten ähnliche Schaltungsanordnung, bei der die von außen vorgegebene spezifizizierte zulässige Spannungsabsenkung durch eine Parallelschaltung eines Kondensators mit einer in bestimmter Weise beleuchteten Photodiode erzielt wird.

Gemäß Fig. 1 erfolgt die Spannungsversorgung während des Tests aus (V_{DD}^*). An den Eingängen (A), (B) und (C) liegt zunächst das Signal der logischen 0 (Erddpotential), so daß die Transistoren (T_1), (T_3) und (T_4) eingeschaltet sind, jedoch (T_5) sich im Auszustand befindet. Der linke Flip-Flop-Knoten wird auf (V_{DD}) aufgeladen, während der rechte eine über den Eingang (R) zugeführte Referenzspannung, z. B. eine um $U_k = 100$ mV geringere Spannung als (V_{DD}^*), annimmt. Nach dem internen Einschwingen der neu an den Schaltkreis angelegten Eingangssignale wird (A) auf die logische 1 geschaltet, so daß das Netz (x) von (V_{DD}^*) abgetrennt wird. Abhängig von der Größe des Leck-(Fehl-)stro-

mes (I_L) wird nun die dem Chip eigene Kapazität (C_s) entladen, so daß das Potential von (x) absinkt. Als das Testkriterium für "gut" gilt, daß nach einer definierten Zeit t_k die Spannung um weniger als ein definierter Wert U_k abgesunken ist. Nach dem Ablauf der Zeit t_k wird Eingang (C) auf die logische 1 gebracht und damit werden (T_3) und (T_4) ausgeschaltet. Sofort darauf wird Eingang (B) auf die logische 1 gebracht und damit das Flip-Flop eingeschaltet. Es fällt in die durch die ursprüngliche Differenz der Knotenspannungen vorgegebene Lage, d. h., war der Schaltkreis "gut" und damit der linke Knoten positiver als der rechte, fällt das Potential am rechten Knoten auf das der logischen 0, und Ausgang (T) meldet Fehlerfreiheit mit logischer 1. Umgekehrt indiziert eine logische 0 am Ausgang (T) (IVR1) einen Schaltkreisfehler gemäß Spezifikation. Der am linken Flip-Flop-Knoten angeschlossene Inverter (IVR2) hat keine direkte Funktion; er soll lediglich die Symmetrie der Flip-Flop-Lasten sicherstellen.

Bei gutem Gleichlauf der Transistoren (T_8) und (T_9) kann das Referenzsignal U_k sehr klein gewählt und damit die Testzeit verkürzt werden. Dies ist besonders der Fall, wenn die Schaltung direkt auf jedem Chip zusätzlich integriert ist, weil dort guter Gleichlauf garantiert ist, und auch der Störpegel am geringsten wird. Der letztere kann dann noch weiter reduziert werden, indem das Referenzsignal über eine durch ein Lichtsignal gesteuerte Photodiode (PD) direkt auf dem Chip erzeugt wird. Eine entsprechende Schaltungsergänzung ist in Fig. 2 gezeigt. Hier wird nach Umschalten des Einganges (A) von 0 nach 1, also nach Abtrennen der Versorgungsspannung vom Netz mit einem über Glasfaser aus einem gesteuerten Laser zugeführten Lichtblitz passender Intensität und Länge die Kapazität (C_r) durch den Photostrom (I_{ph}) um die gewünschte Spannung U_k entladen. (C_r) kann z. B. schon durch die relativ große Sperrschichtkapazität der Photodiode dargestellt werden. Der restliche Test läuft wie mit Fig. 1 beschrieben ab.

Die als Dioden hintereinandergeschalteten in Flußrichtung gepolten Transistoren (T_{10}) und (T_{11}) sichern bei Vorliegen eines Kurzschlusses ab, daß die am Schaltkreis anliegende Spannung nicht total zusammenbricht und so noch weitere Prüfungen zur spezifischen Fehlersuche durchführbar sind.

Bezugszeichenliste

Fig. 1:
DUT IC-Schaltung unter Testbedingungen C_s Kapazität des Chip

1. 6 logische Eingänge

I_L Leckstrom

FF Flip-Flop

A Eingang für Steuersignal zum Schalter T_1

B Eingang für Steuersignal zum Schalter T_5

C Eingang für Steuersignal zu den Schaltern T_3 , T_4

R Eingang für Referenzspannung

T Ausgang für Ergebnissignal der Prüfung

x Schaltungsknoten/Teilschaltungsbereich

y Teilschaltungsbereich

T_1 p-Kanal-Transistor/Schalter

T_3 p-Kanal-Transistor/Schalter

T_4 p-Kanal-Transistor/Schalter

T_6 p-Kanal-Transistor/Teil des Flip-Flop

T_7 p-Kanal-Transistor/Teil des Flip-Flop

T_{10} p-Kanal-Transistor als Diode geschaltet

T_{11} p-Kanal-Transistor als Diode geschaltet

T_5 n-Kanal-Transistor/Schalter

T_8 n-Kanal-Transistor/Teil des Flip-Flop

T_9 n-Kanal-Transistor/Teil des Flip-Flop

V_{DD} * Betriebsspannungsanschluß/Betriebsspannung

V_{DD} Betriebsspannung des Chip; V_{DD} * minus Torspannung des Transistors T_1

IVR1 Inverter für Ausgang T

5 IVR2 Inverter aus Symmetriegründen, funktionslos, Fig. 2:

DUT IC-Schaltung unter Testbedingungen

C_s Kapazität des Chip 1. 6 logische Eingänge

I_L Leckstrom

10 FF Flip-Flop

A Eingang für Steuersignal zu den Schaltern T_1 , T_2

B Eingang für Steuersignal zum Schalter T_5

C Eingang für Steuersignal zu den Schaltern T_3 , T_4

T Ausgang für Ergebnissignal der Prüfung

15 x Schaltungsknoten/Teilschaltungsbereich

y Teilschaltungsbereich

T_1 p-Kanal-Transistor/Schalter

T_2 p-Kanal-Transistor/Schalter

T_3 p-Kanal-Transistor/Schalter

20 T_4 p-Kanal-Transistor/Schalter

T_6 p-Kanal-Transistor/Teil des Flip-Flop

T_7 p-Kanal-Transistor/Teil des Flip-Flop

T_{10} p-Kanal-Transistor als Diode geschaltet

T_{11} p-Kanal-Transistor als Diode geschaltet

25 T_5 n-Kanal-Transistor/Schalter

T_8 n-Kanal-Transistor/Teil des Flip-Flop

T_9 n-Kanal-Transistor/Teil des Flip-Flop

V_{DD} * Betriebsspannungsanschluß/Betriebsspannung

V_{DD} Betriebsspannung des Chip; V_{DD} * minus Torspannung des Transistors T_1

30 PD Photodiode

I_{ph} Photostrom

C_r Referenzkapazität

IVR1 Inverter für Ausgang T

35 IVR2 Inverter aus Symmetriegründen, funktionslos

Patentansprüche

1. Verfahren und Schaltungsanordnung zum rationalen Prüfen von integrierten (B)CMOS-Schaltkreisen auf Fabrikationsfehler; die mit dem Einprägen bestimmter Testimpulsmuster aktiviert werden und sich in erhöhter Stromaufnahme offenbaren, die nach dem Abschalten der Versorgungsspannung durch die absinkende Spannung über den Versorgungsanschlüssen der Schaltungsteile und der dort vorhandenen Parallelkapazität erkannt wird, dadurch gekennzeichnet, daß möglichst nahe am Prüfobjekt die nach Abschalten der Versorgungsspannung durch den Fehlstrom der Schaltung nach einer spezifizierten Zeit an der am Schaltkreis vorhandenen Kapazität (C_s) entstandene Spannungsabsenkung mit einer von außen vorgegebenen spezifizierten zulässigen Absenkung verglichen wird, daß der Vergleich entweder über einen Differenzverstärker erfolgt, wobei den Vorzeichen der Differenz die Aussage "bestanden" oder "nicht bestanden" zugeordnet ist, oder über die unterschiedliche Vorladung der beiden internen Knoten eines zunächst noch von der Versorgungsspannung getrennten Flip-Flops, das im definierten Vergleichszeitpunkt wieder an diese angelegt wird und damit in die durch die Knotenspannungsdifferenz vorgegebene Vorzugslage fällt, wodurch direkt eine digitale Aussage (1 oder 0) über das Bestehen des Tests entsteht.

2. Verfahren und Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die von außen vorgegebene spezifizizierte zulässige Spannungsabsenkung durch eine in den Referenzteil der Schaltungsan-

ordnung integrierte Kapazität (C_T), die ursprünglich über einen Schalter (A) auf die Versorgungsspannung des zu prüfenden Schaltkreises aufgeladen ist und nach Abtrennen durch eine geeignete Vorrichtung teilweise so weit entladen wird, daß die spezifizierte Referenzspannung entsteht.

3. Verfahren und Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß das die Kapazität (C_T) entladende Element ein lichtempfindliches Bauelement ist, daß z. B. über eine Glasfaser mit einer gesteuerten Lichtquelle gekoppelt ist, z. B. mit einem Laser, und wobei ein Lichtblitz passender Intensität und Länge der zugehörigen Kapazität (C_T) die nötige Ladungsmenge entzieht.

4. Verfahren und Schaltungsanordnung nach Anspruch 2 und 3, dadurch gekennzeichnet, daß (C_T) durch die Eigenkapazität des lichtempfindliche Bauelementes realisiert wird.

5. Verfahren und Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß für die Spannungsabsenkung an (C_T) eine weitere Kapazität passender Größe und Vorladung parallel zugeschaltet wird.

6. Verfahren und Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß für die Spannungsabsenkung an (C_T) ein geeigneter Widerstand für eine passende Zeit parallel zugeschaltet wird.

7. Verfahren und Schaltungsanordnung nach Anspruch 1 bis 6, dadurch gekennzeichnet, daß die spezifizierte Zeit, nach der der Spannungsvergleich vorgenommen wird oder die Referenzspannung, von Testschritt zu Testschritt in Abhängigkeit von Eingangsprüfmustern und/oder zu prüfenden Schaltungsvarianten verändert wird.

8. Verfahren und Schaltungsanordnung nach den Ansprüchen 1 bis 7, dadurch gekennzeichnet, daß die Schaltungsanordnung integriert ausgeführt auf jedem der zu testenden Chips als Testhilfe vorhanden ist.

9. Verfahren und Schaltungsanordnung nach den Ansprüchen 1 bis 8, dadurch gekennzeichnet, daß die Prüfung mit einer an sich bekannten Nadelkarte oder einer bereits vorgeschlagenen Adaptervorrichtung für die Übertragung elektrischer und optischer Signale vorgenommen wird, wofür ein Teil der Schaltungseingänge, z. B. die für die logischen Signale als photo-elektrische Schalter ausgebildet sind.

10. Verfahren und Schaltungsanordnung nach den Ansprüchen 1 bis 8, dadurch gekennzeichnet, daß die Prüfung in Verbindung mit einer bereits vorgeschlagenen zentralen Betriebsspannungsversorgung, bei der von am Scheibenrand der Halbleiterscheibe positionierten Kontaktierinseln zu jedem Chip Stromversorgungsleitungen hinführen, berührungsfrei erfolgt, wobei das Einprägen der Eingangsprüfmuster, das An- und Abschalten der einzelnen Schaltungsanordnung während des Prüfzyklus von der Betriebsspannungsversorgung und die Übertragung der sonstigen Signale zur Prüfung auf opto-elektrischem Weg über integrierte Fotoschalter vorgenommen wird und das Auslesen des Testergebnisses unter Verwendung elektrooptischer Kristalle erfolgt.

11. Verfahren und Schaltungsanordnung nach den Ansprüchen 1 bis 8, dadurch gekennzeichnet, daß die Schaltungsanordnung integriert Bestandteil einer Prüfeinrichtung ist.

12. Verfahren und Schaltungsanordnung nach Anspruch 11, dadurch gekennzeichnet, daß die Prüfeinrichtung eine Adaptervorrichtung zur Übertragung elektrischer Signale, z. B. eine Nadelkarte ist.

13. Verfahren und Schaltungsanordnung nach Anspruch 11, dadurch gekennzeichnet, daß die Prüfeinrichtung eine Adaptervorrichtung zur Übertragung elektrischer und optischer Signale ist, wobei ein Teil der zum Prüfen benötigten elektrischen Signale, z. B. die Prüfmuster auf opto-elektrischem Weg über in die zu prüfenden Schaltungen, bzw. Schaltungsteile integrierte Photoschalter generiert werden.

14. Verfahren und Schaltungsanordnung nach Anspruch 11, dadurch gekennzeichnet, daß die Prüfeinrichtung zum berührungsfreien Prüfen in Verbindung mit einer bereits vorgeschlagenen zentralen Betriebsspannungsversorgung, bei der von am Scheibenrand der Halbleiterscheibe positionierten Kontaktierinseln zu jedem Chip Stromversorgungsleitungen hinführen, eingerichtet ist, wobei das Einprägen der Eingangsprüfmuster und das An- und Abschalten der einzelnen zu prüfenden Schaltungsanordnungen während des Prüfzyklus auf opto-elektrischen Weg vorgenommen ist und der Spannungsabfall über der Kapazität der Prüfschaltung unter Verwendung eines elektrooptischen Kristalls gemessen wird.

15. Verfahren und Schaltungsanordnung nach den Ansprüchen 1 bis 7, dadurch gekennzeichnet, die Schaltungsanordnung teilintegriert Bestandteil einer Prüfeinrichtung ist.

16. Verfahren und Schaltungsanordnung nach den Ansprüchen 1 bis 7, und 15, dadurch gekennzeichnet, die Schaltungsanordnung oder Teile von dieser, z. B. der Differenzverstärker oder auch bestimmte Schalter in einer anderen als CMOS- bzw. BICMOS-Technologie, z. B. Bipolar-Technologie ausgeführt sind.

17. Verfahren und Schaltungsanordnung nach Anspruch 15 oder 16, dadurch gekennzeichnet, daß die Prüfeinrichtung eine Adaptervorrichtung zur Übertragung elektrischer Signale, z. B. eine Nadelkarte ist.

18. Verfahren und Schaltungsanordnung nach Anspruch 15 oder 16, dadurch gekennzeichnet, daß die Prüfeinrichtung eine Adaptervorrichtung zur Übertragung elektrischer und optischer Signale ist, wobei ein Teil der zum Prüfen benötigten elektrischen Signale, z. B. die Prüfmuster auf opto-elektrischem Weg über in die zu prüfenden Schaltungen, bzw. Schaltungsteile integrierte Photoschalter generiert werden.

19. Verfahren und Schaltungsanordnung nach Anspruch 15 oder 16, dadurch gekennzeichnet, daß die Prüfeinrichtung zum berührungsfreien Prüfen in Verbindung mit einer bereits vorgeschlagenen zentralen Betriebsspannungsversorgung, bei der von am Scheibenrand der Halbleiterscheibe positionierten Kontaktierinseln zu jedem Chip Stromversorgungsleitungen hinführen, eingerichtet ist, wobei das Einprägen der Eingangsprüfmuster und das An- und Abschalten der einzelnen zu prüfenden Schaltungsanordnung während des Prüfzyklus auf opto-elektrischem Weg vorgenommen wird und der Spannungsabfall über der Kapazität der Prüfschaltung unter Verwendung elektrooptischer Kristalle gemessen wird.

Hierzu 2 Seite(n) Zeichnungen

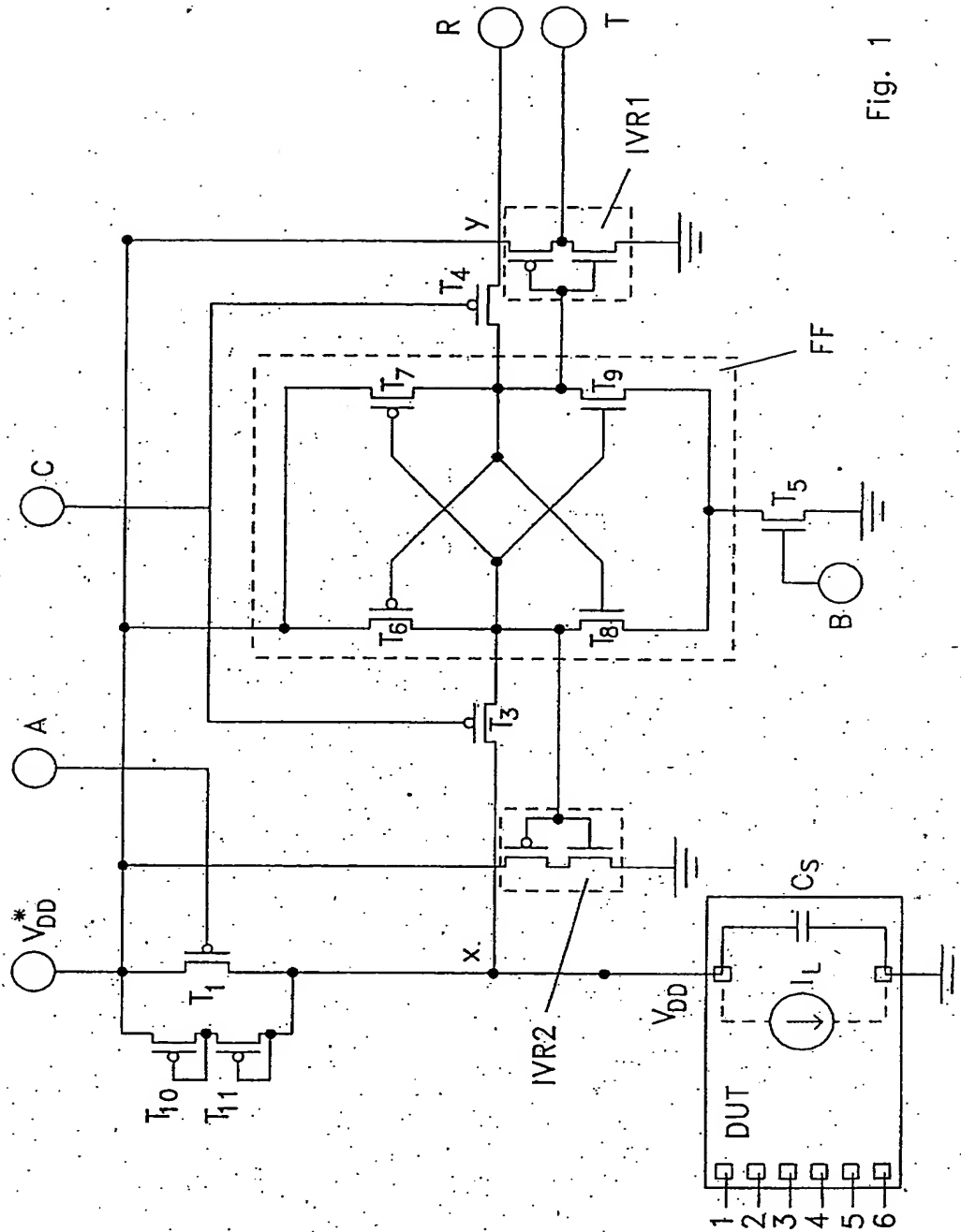


Fig. 1

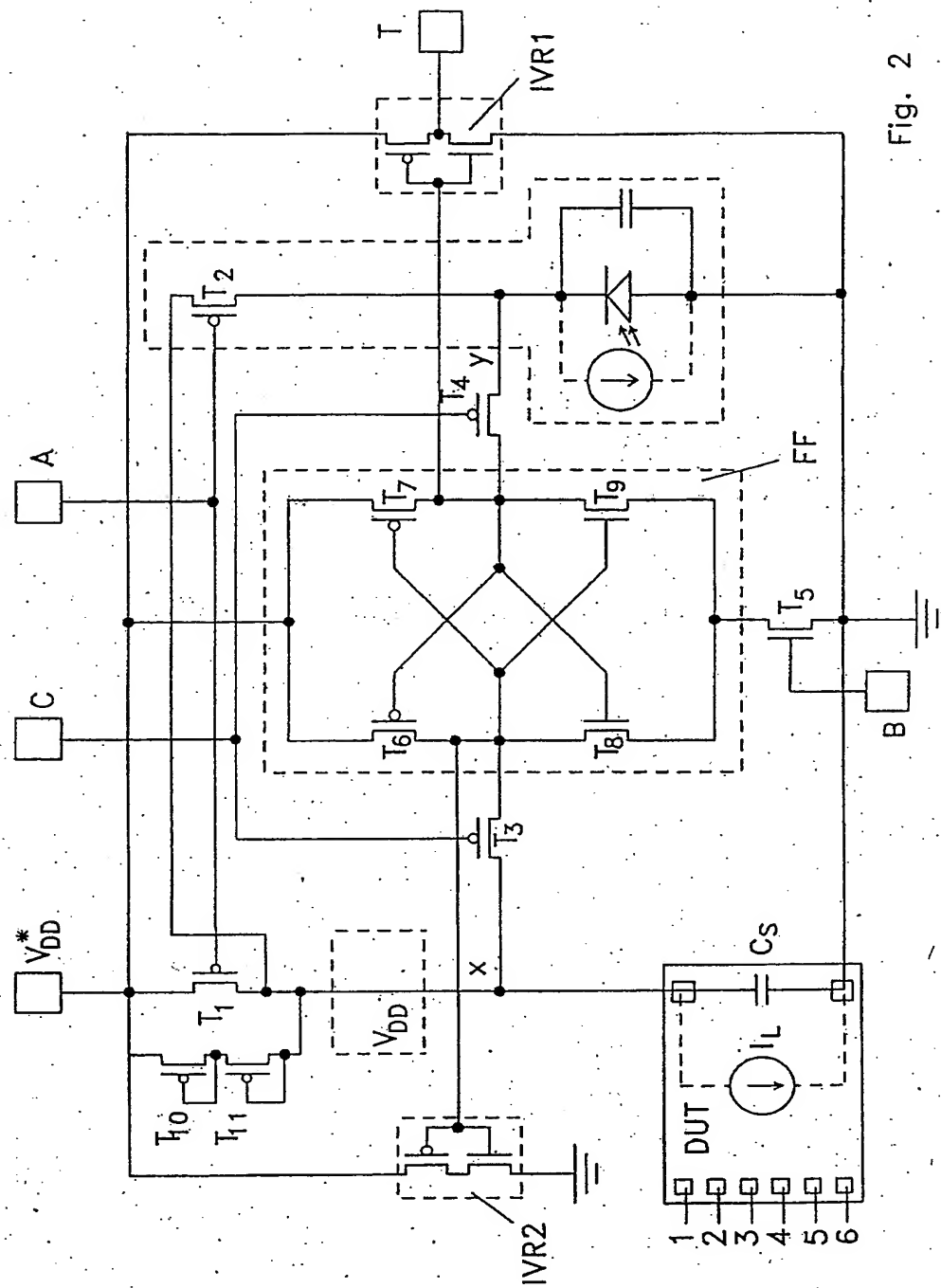


Fig. 2